МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ

РОССИЙСКОЙ ФЕДЕРАЦИИ

Филиал ФГБОУ ВО   
«Национальный исследовательский университет «МЭИ»  
в городе Смоленске

Кафедра электроники и микропроцессорной техники

ЭЛЕКТРОННЫЕ ПРОМЫШЛЕННЫЕ УСТРОЙСТВА

**Отчет по лабораторной работе №5**

«Исследование работы триггеров различных типов и серий ТТЛ, КМОП, ЭСЛ»

Группа: ПЭ-16

Студент: Подмастерьев А.О.

Вариант: №14

Преподаватель: ст. пр. Смолин В.А.

Смоленск 2018

**Цель работы**: усвоение классификации, системы графических обозначений и основных принципов функционирования триггеров с различной внутренней структурой. Закрепление навыков по цифровому моделированию, созданию макромоделей в среде программы *Micro-Cap*, построению цифровых генераторов тестовых импульсных последовательностей.

**Рабочее задание**: 1. Ознакомиться по справочной литературе, с помощью поиска в *INTERNET* c работой интегральной микросхемы триггера, заданного в индивидуальном задании (таблица 1). В случае отсутствия справочных сведений составить предположительное представление о его работе по условному графическому обозначению (УГО) и информации поля *Memo*, используемому в программе *MICRO-CAP*. Составить словесное описание алгоритма работы триггера, в котором отразить следующую информацию: тип триггера (*JK*, *D*, *RS*, *T*) и его таблица истинности; способ изменения состояния — синхронный или асинхронный, или и тот и другой; наличие входов предварительной установки (*R*, *S*) для триггеров *JK* и *D* типов, их активные уровни (низкий, высокий); способ синхронизации для синхронных триггеров — по уровню, фронту, срезу синхроимпульса; предположительная внутренняя организация триггера (ведущий-ведомый, шестиэлементный, с внутренними задержками и т.д.).

2. По результатам выполнения п. 1. запрограммировать тестовые последовательности цифровых сигналов для всех входов для проверки функционирования заданного триггера во всех режимах (асинхронного сброса-установки, синхронной записи различных состояний, хранения предыдущего состояния).

3. Выполнить моделирование работы заданного триггера. Для этого в схемном редакторе собрать схему тестирования триггера с подключенными к его входам источниками цифровых сигналов (см. п. 2). Запустить соответствующий вид анализа (*Transient* или *Probe Transient*), задать интервал времени моделирования, задать вывод на график сигналов на входах и выходах триггера. После этого запустить анализ командой *Run*. Моделирование должно продемонстрировать работу триггеров во всех режимах.

4. Оформить отчет о проделанной работе.

Таблица 1 – Индивидуальное задание к ЛР

|  |  |
| --- | --- |
| № студента в журнале посещаемости | Микросхема триггера |
| 14 | *CD4042B* |

**Ход работы**

Устройство *CD4042B* включает в себя четыре идентичных, независимых двухступенчатых *D*-триггера. Каждый триггер имеет входы *D*, *Clock*, *Polarity* и выходы . На основе данного устройства может быть реализован регистр сдвига, счетчик и переключатель. Логический уровень, присутствующий на входе *D*, передается на *Q*-выход во время фронта синхроимпульса. Таблица истинности *D*-триггера представлена в таблице 2.

Таблица 2 — Таблица истинности D-триггера

|  |  |  |
| --- | --- | --- |
| Qt | Dt | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Способ изменения состояния — синхронный. Способ синхронизации — по фронту синхроимпульса. Внутренняя организация триггера — ведущий-ведомый. Работа триггера основана на перезаписи информации с первого триггера во второй в момент перехода тактирующего сигнала из состояния «1» в состояние «0». При *Сlock* = 0 первый триггер не меняет своего состояния, он находится в режиме хранения. При переходе сигнала *Сlock* из состояния «0» в состояние «1» (фронт импульса), информация со входа *D* записывается в первый триггер, то есть появляется на выходе *Q* этого триггера. При переходе сигнала *Сlock* из состояния «1» в состояние «0» (срез импульса), информация с первого триггера записывается во второй и сохраняется там до прихода следующего заднего фронта. На рисунке 1 представлена схема двухступенчатого *D*-триггера.

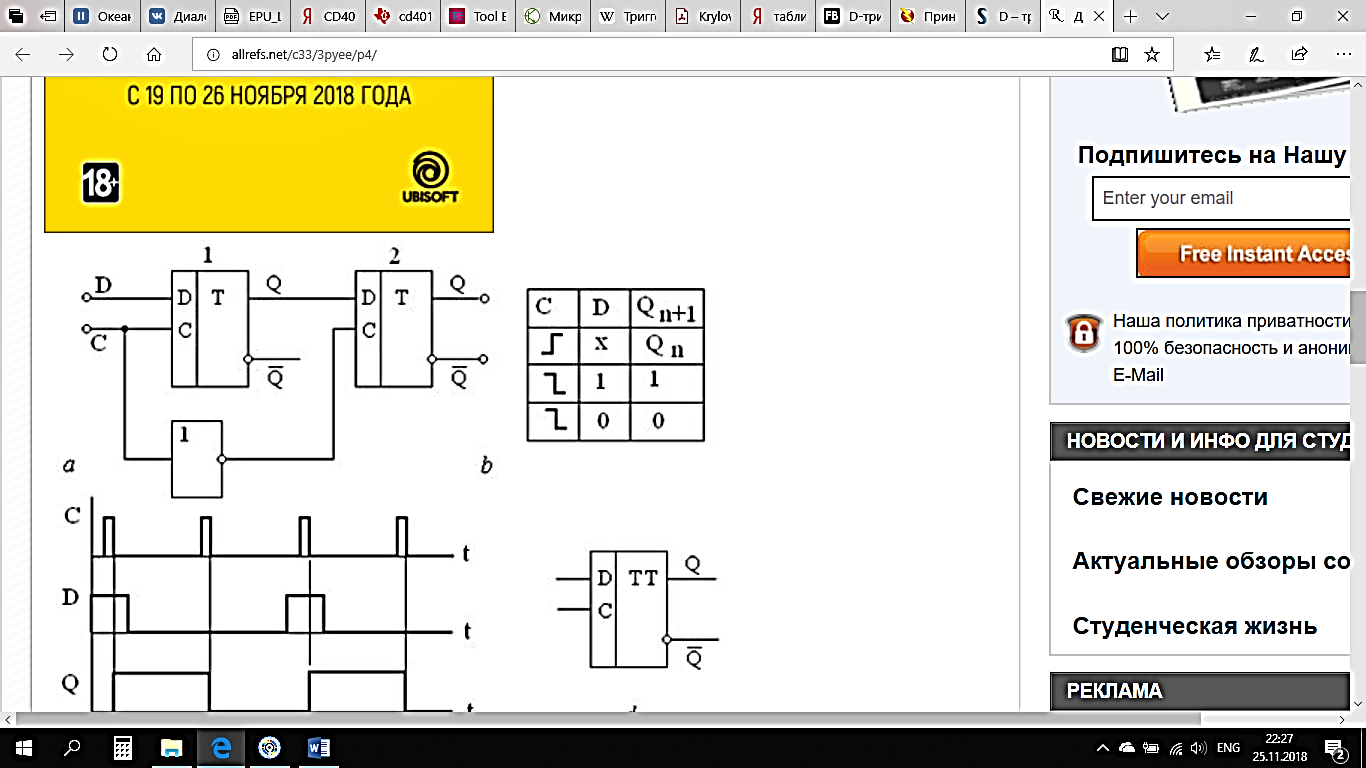


Рисунок 1 — Схема двухступенчатого D-триггера

На рисунке 2 представлена логическая схема микросхемы триггера *CD4042B*.

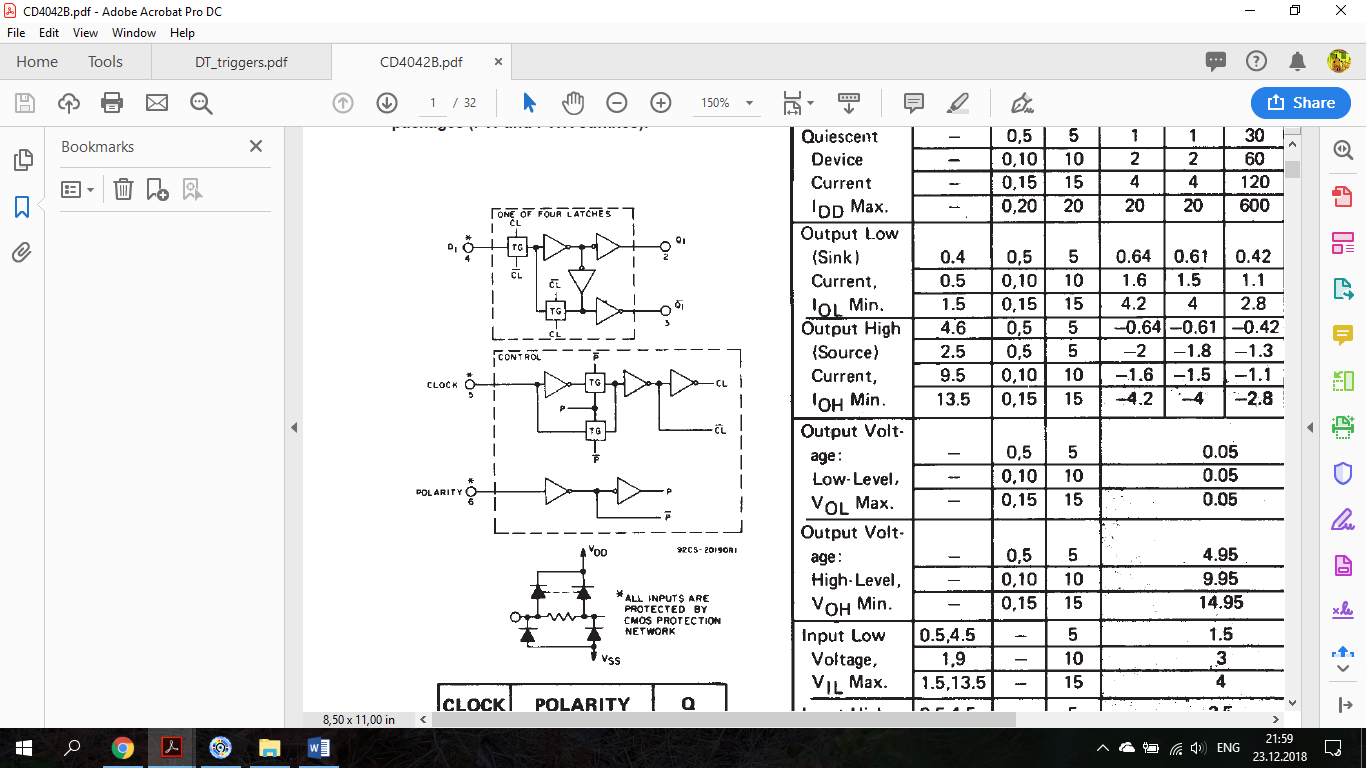


Рисунок 2 — Логическая схема микросхемы триггера *CD4042B*

Так как это «магическая» схема в рот оно вались «защелки», то и работает она тоже «магически». Таблица функционирования микросхемы триггера *CD4042B* представлена в таблице 3.

Таблица 3 – Таблица функционирования микросхемы триггера *CD4042B*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *INPUTS* | | | *OUTPUT ()* | *INVERTED OUTPUT ()* |
| *CLOCK* | *POLARITY* | *D* |
| 0 | 0 | *D* | *D* |  |
| ↑ | 0 | *D* | *LATCH* | X |
| 1 | 1 | *D* | *D* |  |
| ↓ | 1 | *D* | *LATCH* | X |

В остальных случаях защелка находится в неопределенных состояниях.

На рисунке 3 представлено условно-графическое обозначение (УГО) микросхемы триггера *CD4042B*.

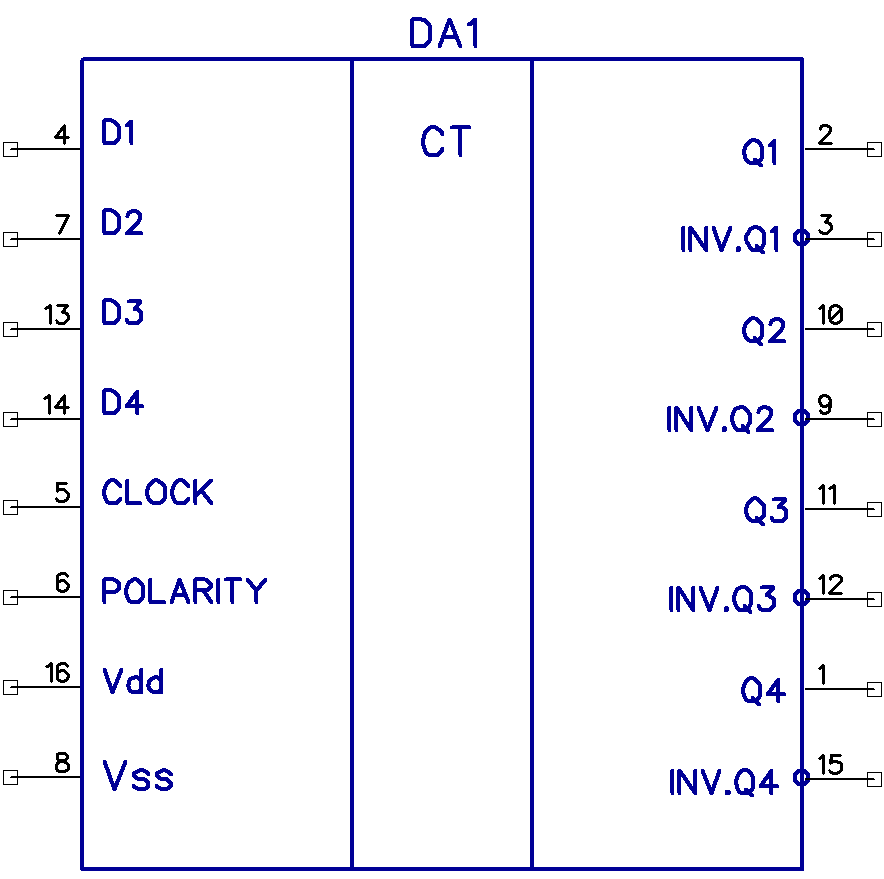


Рисунок 3 — УГО микросхемы триггера *CD4042B*

В таблице 4 представлено описание выводов микросхемы триггера *CD4042B*.

Таблица 4 – Описание выводов микросхемы триггера *CD4042B*

|  |  |  |
| --- | --- | --- |
| Вывод | | Описание |
| Номер | Имя |
| 1 | *Q4* | Выход 4 |
| 2 | *Q1* | Выход 1 |
| 3 |  | Инвертированный выход 1 |
| 4 | *D1* | Вход 1 |
| 5 | *CLOCK* | Вход синхроимпульса 1 |
| 6 | *POLARITY* | Вход синхроимпульса 2 |
| 7 | *D2* | Вход 2 |
| 8 | *VSS* | Земля |
| 9 |  | Инвертированный выход 2 |
| 10 | *Q2* | Выход 2 |
| 11 | *Q3* | Выход 3 |
| 12 |  | Инвертированный выход 3 |
| 13 | *D3* | Вход 3 |
| 14 | *D4* | Вход 4 |
| 15 |  | Инвертированный выход 4 |
| 16 | *VDD* | Питание |

На рисунке 4 представлена математическая модель заданного устройства. Протестируем работу микросхемы триггера *CD4042B*. Для этого подадим на входы микросхемы цифровые генераторы *U*5-*U*7. В них запрограммируем тестовые последовательности цифровых сигналов, в соответствии с таблицей функционирования микросхемы (таблица 3).



Рисунок 4 — Математическая модель заданного устройства

Результаты тестирования представлены на рисунке 5.



Рисунок 5 — Результаты тестирования заданного устройства

Рассмотрим каждый из режимов работы микросхемы в отдельности, определим временные задержки.

1. *CLOCK* – 0; *POLARITY* – 0; *D* – 1; *Q1* – 1; *INV\_ Q1* – 0.

Результаты тестирования представлены на рисунке 6.



Рисунок 6 — Результаты тестирования заданного устройства

Временная задержка составляет 163 *нс* (максимальная задержка по *datasheet* – 225 *нс*).

2. *CLOCK* – ↑; *POLARITY -* 0; *D* – 1; *Q*1 – 1; *INV\_ Q*1 – 0.

Результаты тестирования представлены на рисунке 7.



Рисунок 7 — Результаты тестирования заданного устройства

Временная задержка составляет 134 *нс* (максимальная задержка по *datasheet* – 300 *нс*).

3. *CLOCK* – 1; *POLARITY -* 1; *D* – 1; *Q*1 – 1; *INV\_ Q*1 – 0.

Результаты тестирования представлены на рисунке 8.



Рисунок 8 — Результаты тестирования заданного устройства

Временная задержка составляет 173 *нс* (максимальная задержка по *datasheet* – 220 *нс*).